

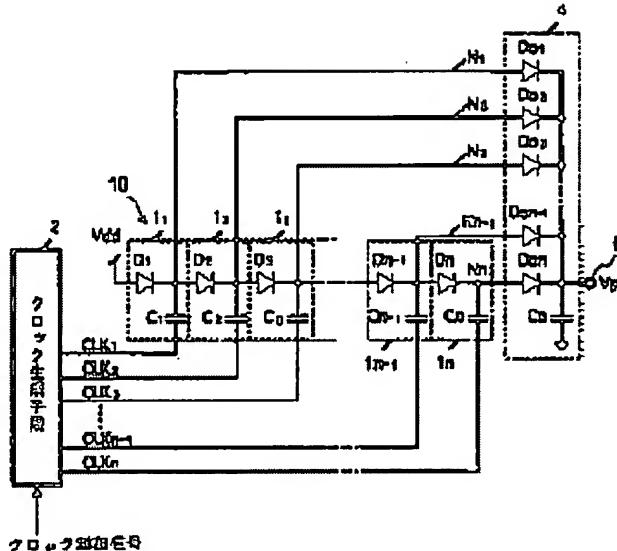
SEMICONDUCTOR STEP-UP CIRCUIT

Patent number: JP10304653
Publication date: 1998-11-13
Inventor: NISHIDA YOICHI; KAMITAKA SATOSHI; KATAOKA TOMONORI; FUCHIGAMI IKUO; KIMURA TOMOO
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
 - **International:** H02M3/07; G11C16/06
 - **european:**
Application number: JP19970104498 19970422
Priority number(s):

Abstract of JP10304653

PROBLEM TO BE SOLVED: To make it possible to selectively take out the output voltage of a plurality of levels and reduce power consumption by a simple circuit configuration.

SOLUTION: This step-up circuit is provided with a charge pump means 10 which, being constituted of a series combination of a plurality of pump blocks 11 -1n for conducting a step-up operation by charging and discharging capacitive elements C1 -Cn by means of step-up clocks CLK1 -CLKn , generates the step-up voltage, a clock-generating means 2 for supplying the step-up clocks CLK1 -CLKn to the pump blocks 11 -1n which constitute the charge pump means 10, and an output rectifying means 4 which connects at least one of the outputs of the pump blocks 11 -1n of the charge pump means 10 to a capacitive element C0 via the rectifying diodes D01 -D0n .



Data supplied from the esp@cenet database - Worldwide

特開平10-304653

(43)公開日 平成10年(1998)11月13日

(51) Int. Cl.⁶H 02 M 3/07
G 11 C 16/06

識別記号

F I

H 02 M 3/07
G 11 C 17/00 6 3 2 A

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21)出願番号

特願平9-104498

(22)出願日

平成9年(1997)4月22日

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 西田 要一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 神鷹 智

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 片岡 知典

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 岡田 和秀

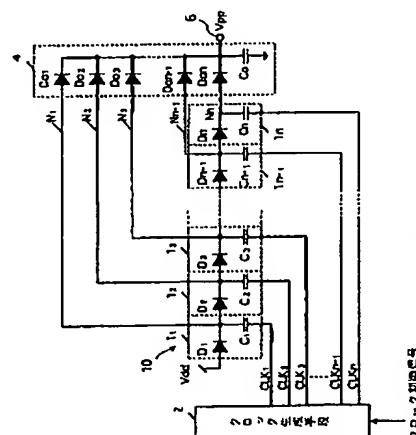
最終頁に続く

(54)【発明の名称】半導体昇圧回路

(57)【要約】

【課題】簡単な回路構成でもって、複数レベルの出力電圧を選択的に取り出せるようにするとともに、消費電力を低減する。

【解決手段】昇圧用クロック $C_{LK_1} \sim C_{LK_n}$ により容量性素子 $C_1 \sim C_n$ の充放電を行うことで昇圧動作を行う複数個のポンプブロック $1_1 \sim 1_n$ が直列に接続されて昇圧電圧を生成するチャージポンプ手段 10 と、このチャージポンプ手段 10 を構成する各ポンプブロック $1_1 \sim 1_n$ に対して昇圧用クロック $C_{LK_1} \sim C_{LK_n}$ を供給するクロック生成手段 2 と、チャージポンプ手段 10 におけるポンプブロック $1_1 \sim 1_n$ の出力の内の少なくとも 1 つの出力を整流用ダイオード $D_{O_1} \sim D_{O_n}$ を介して容量性素子 C_0 に接続してなる出力整流手段 4 とを備える。



【特許請求の範囲】

【請求項1】 昇圧用クロックにより容量性素子の充放電を行うことで昇圧動作を行うポンプブロックの複数個が直列に接続されて昇圧電圧を生成するチャージポンプ手段と、

このチャージポンプ手段を構成する各ポンプブロックに対して前記昇圧用クロックを供給するクロック生成手段と、

前記チャージポンプ手段におけるポンプブロックの出力の内の少なくとも1つの出力を整流用ダイオードを介して容量性素子に接続してなる出力整流手段と、

を備えることを特徴とする半導体昇圧回路。

【請求項2】 前記出力整流手段の出力電圧を検出し、これに基づいて前記クロック生成手段による前記昇圧用クロックの供給を制御する電圧検出手段を備えることを特徴とする請求項1記載の半導体昇圧回路。

【請求項3】 前記出力整流手段の出力側に、この出力整流手段の出力電圧を降圧して安定化するレギュレータ回路を少なくとも一つを接続したことを特徴とする請求項1または請求項2記載の半導体昇圧回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置における昇圧回路に関するものである。

【0002】

【従来の技術】 近年の半導体集積回路、たとえばフラッシュE P R O Mでは、書き込みや消去あるいは読み出しの際に正の高電圧や負の高電圧など様々な電圧の電源を必要とする。

【0003】 しかし、一方で低消費電力化、単一電源化が促進されており、そのような状況下から、たとえば、単一電源化を図るために外部の電源電圧を内部を設けた回路によって昇圧するようにしたもののが提供されている。

【0004】 このような外部の電源電圧を内部で昇圧させる半導体昇圧回路として、たとえば、図4に示すようなチャージポンプ型昇圧回路が知られている。なお、図4のチャージポンプ型昇圧回路は正昇圧回路である。

【0005】 図4に示すチャージポンプ型昇圧回路は、基本的には、昇圧用のクロックC L K₁、C L K₂を入力してチャージポンプ手段を構成する各ポンプブロック1₁～1_nの段数に応じて電源電圧Vddから昇圧された所定の電圧Vppを出力端子6から得るものであって、ダイオードD₁～D_nが直列接続され、各々のダイオードD₁～D_nのカソードに対しては、昇圧用の容量性素子C₁～C_nを介してクロック生成手段1から生成される昇圧用の2つのクロックC L K₁、C L K₂が供給されるようになっている。

【0006】 この場合の昇圧用のクロックC L K₁、C L K₂は、容量性素子C₁～C_nの内、図中奇数番目に相

当する容量性素子C₁、C₃、…に対しては一方のクロックC L K₁が、また、図中偶数番目に相当する容量性素子C₂、C₄、…に対しては、他方のC L K₂がそれぞれ供給される。両クロックC L K₁、C L K₂は、同じ周波数でかつ位相が互いに逆であって、両クロックC L K₁、C L K₂は共にLレベルのときはGNDレベルに、Hレベルのときは電源電圧のVddレベルとなるように設定されている。また、最終段のダイオードD_nおよび容量性素子C_nは整流用素子であって、出力電圧Vppを整流する出力整流手段4を構成している。

【0007】 以下、図4に示すチャージポンプ回路の動作について詳しく説明する。

【0008】 まず、一方のクロックC L K₁がLレベル、他方のクロックC L K₂がHレベルのとき、ダイオードD₁には順バイアスが加わって容量性素子C₁が充電されるので、初段のポンプブロック1₁のノードN₁はVddからダイオードD₁の電圧降下分(=Vd)を引いた電位(=Vdd-Vd)になる。

【0009】 次に、C L K₁がHレベルに、C L K₂がLレベルになると、ノードN₁の電位は(Vdd-Vd)からVdd分だけ昇圧されて(2Vdd-Vd)の電位となる。また、このとき、次段のポンプブロック1₂のダイオードD₂に順バイアスが加わって容量性素子C₂が充電されるので、そのノードN₂の電位は、前段のポンプブロック1₁のノードN₁の電位からダイオードD₂による電圧降下分(=Vd)を差し引いた(2Vdd-Vd)-Vd=2(Vdd-Vd)の値となる。

【0010】 続いて、C L K₁がLレベル、C L K₂がHレベルになると、ノードN₂の電位は2(Vdd-Vd)からVdd分だけ昇圧した(3Vdd-2Vd)となる。また、このとき、次段のポンプブロック1₃のダイオードD₃には順バイアスが加わって容量性素子C₃が充電されるので、そのノードN₃の電位は、その前段のノードN₂の電位からダイオードD₃による電圧降下分(=Vd)を引いた(3Vdd-2Vd)-Vd=3(Vdd-Vd)の値となる。

【0011】 以下、同様の動作を繰り返すことにより、各ポンプブロック1₁～1_nの段数分だけ昇圧され、n段目のポンプブロック1_nのノードN_nの電位は、n·(Vdd-Vd)となる。そして、出力端子6で得られる最終的な出力電圧Vppは、出力整流手段4でノードN_nの電位をピークホールドするので、Vpp=(n+1)·(Vdd-Vd)となる。

【0012】

【発明が解決しようとする課題】 ところで、図4に示すチャージポンプ型昇圧回路は、外部の電源電圧Vddがノイズなどにより振れて、その値Vddが低下した場合、これに応じて出力電圧Vppも低下して所望の電圧を出力できないという問題がある。

【0013】 また、逆に、外部の電源電圧Vddが上昇した場合には、必要以上に出力電圧Vppも上昇し、消費電

力の面から不利になるという問題がある。

[0014] さらに、出力電圧V_{pp}が上がり過ぎた場合、PNジャンクションダイオードのブレイクダウン電圧を越えて特性を悪化させるという問題もある。

[0015] これに加えて、半導体装置においては、多数の昇圧電圧が必要な場合があるが、そのときには、それぞれの昇圧電圧毎にチャージポンプ型昇圧回路が必要となり、実装面積およびコスト面から不利になるという問題がある。

[0016] 本発明は、このような問題点を解消するためのもので、低消費電力、低成本の半導体昇圧回路を提供することを課題とする。

[0017]

【課題を解決するための手段】本発明、上記の課題を解決するために、次の手段を講じている。

[0018] 請求項1記載に係る半導体昇圧回路は、昇圧用クロックにより容量性素子の充放電を行うことで昇圧動作を行うポンプブロックの複数個が直列に接続されて昇圧電圧を生成するチャージポンプ手段と、このチャージポンプ手段を構成する各ポンプブロックに対して前記昇圧用クロックを供給するクロック生成手段と、前記チャージポンプ手段におけるポンプブロックの出力の内の少なくとも1つの出力を整流用ダイオードを介して容量性素子に接続してなる出力整流手段とを備えることを特徴としている。

[0019] 請求項2記載に係る半導体昇圧回路は、請求項1記載の構成において、前記出力整流手段の出力電圧を検出し、これに基づいて前記クロック生成手段による前記昇圧用クロックの供給を制御する電圧検出手段を備えることを特徴としている。

[0020] 請求項3記載に係る半導体昇圧回路は、請求項1または請求項2記載の構成において、前記出力整流手段の出力側に、この出力整流手段の出力電圧を降圧して安定化するレギュレータ回路を少なくとも一つを接続したことを特徴としている。

[0021]

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

[0022] (実施の形態1) 図1は、この実施の形態1に係る半導体昇圧回路、特にここではチャージポンプ型昇圧回路を示す回路図であり、図4に示した従来例に対応する部分には、同一の符号を付す。

[0023] この実施の形態1においても、ダイオードD₁～D_nが直列接続され、各々のダイオードD₁～D_nのカソードに対しては昇圧用の容量性素子C₁～C_nが接続されて複数のポンプブロック1₁～1_nからなるチャージポンプ手段10が構成されている点は、図4に示した従来例の場合と同じである。

[0024] この実施の形態1の特徴は、各ポンプブロック1₁～1_nの出力がそれぞれ整流用ダイオードD₀₁～

～D_{0n}を介して单一の出力端子6に接続されて出力整流手段4が構成されている。しかも、クロック生成手段2からは、各ポンプブロック1₁～1_nの個数に応じた昇圧用の各クロックCLK₁～CLK_nが発生され、各クロックCLK₁～CLK_nがそれぞれ個別に各ポンプブロック1₁～1_nに与えられていることである。

[0025] この場合、クロック生成手段2から出力される昇圧用の各クロックCLK₁～CLK_nの内、偶数番目のクロックCLK₂、CLK₄、…と、奇数番目のクロックCLK₁、CLK₃、…とは、同じ周波数でかつ位相が互いに逆であって、各クロックCLK₁～CLK_nは、共にLレベルのときはGNDレベルに、Hレベルのときは電源電圧のV_{dd}レベルとなるように設定されている。

[0026] 以上のように構成された半導体昇圧回路の動作について説明する。

[0027] クロック生成手段2から昇圧用のクロックCLK₁～CLK_nが全て出力されている通常の場合は、図4に示した構成の従来のチャージポンプ型昇圧回路と同様に、出力端子6で得られる出力電圧V_{pp}は、最終的に(n+1)・(V_{dd}-V_d)となる。

[0028] ただし、このような最終的な出力電圧V_{pp}=(n+1)・(V_{dd}-V_d)に到達するまでの過渡的な動作は、図4に示した従来回路の場合の動作と若干異なっている。

[0029] すなわち、出力電圧V_{pp}が低い場合、まず、ポンプブロック1₁のノードN₁からダイオードD₀₁を介して出力端子6にV_{pp}に電荷を供給する。

[0030] 出力端子6の電位V_{pp}が徐々に上がっていくと、ダイオードD₀₂は逆バイアスとなるため、その動作が停止する。

[0031] その後、ノードN₁より昇圧されるノードN₂からダイオードD₀₂を介してV_{pp}に電荷を供給する。出力端子6の電位V_{pp}が徐々に上がっていくと、ダイオードD₀₂は逆バイアスとなるため、その動作が停止する。

[0032] 以上の動作を繰り返し、出力端子6の最終的な出力電圧V_{pp}は(n+1)・(V_{dd}-V_d)となる。

[0033] ここで、たとえば、ある動作モードで出力電圧V_{pp}としてn・(V_{dd}-V_d)の電圧が必要となった場合を考えると、このときには、図外のマイクロコンピュータ等の制御回路からクロック制御信号を与えて、クロック生成手段2から出力されている昇圧用のクロックCLK₁～CLK_nの内、n段目のポンプブロック1_nに供給されているクロックCLK_nの出力のみを停止する。

[0034] すると、このポンプブロック1_nにおける昇圧動作が停止するが、それより前段側にある各ポンプブロック1₁～1_{n-1}にはクロックCLK₁～CLK_{n-1}が継続的に加えられているので、(n-1)段目のポンプブロック1_{n-1}のノードN_{n-1}の電位は昇圧されて(n-1)・(V_{dd}-V_d)となる。

【0035】このとき、 D_{on_1} と C_0 からなる整流回路によってこの $(n-1)$ 段目のポンプブロック 1_{n-1} のノード N_{n-1} の電位をピークホールドするので、出力端子6で得られる最終的な出力電圧 V_{pp} は、 $n \cdot (V_{dd} - V_d)$ となる。なお、この場合、他の整流用ダイオード $D_{o1} \sim D_{on_1}$ は逆バイアスとなるので動作はしない。

【0036】これから分かるように、クロック番号の大きな昇圧用クロックから順次クロック出力を停止していくことで、出力端子6で得られる最終的な出力電圧 V_{pp} の電位は下がっていくことになる。

【0037】つまり、クロック生成手段2からの昇圧用クロック $C_{LK_1} \sim C_{LK_n}$ を供給するか、停止するかを制御することによって、出力電圧 V_{pp} の値として $(V_{dd} - V_d)$ の整数倍の出力を任意に得ることができる。

【0038】以上のように、この実施の形態1においては、昇圧用クロックの供給制御により、複数の出力電圧を1つのチャージポンプ型昇圧回路で得ることができるため、従来のように、各々所望の昇圧電圧ごとに個別に昇圧回路を設ける必要がなくなる。

【0039】また、ピーク電圧より低い電圧を出力するとき、クロック番号の大きな昇圧用クロックから順次クロックの供給を止めていくことで最終的な出力電圧 V_{pp} の電位は下がって所望の電圧を得ることができる。

【0040】さらに、このとき不要なクロックを完全に止めることができるので低消費電力化を実現することができる。

なお、この実施の形態1では、各ポンプブロック $1_1 \sim 1_n$ の構成素子としてダイオード $D_{o1} \sim D_{on}$ を使用し、また、出力整流手段4としてもダイオード $D_{on_1} \sim D_{on_n}$ を使用したが、これらのダイオードに代えてMOSトランジスタを用いても同様の効果を得ることができる。また、正昇圧に関して説明したが、ダイオード $D_{o1} \sim D_{on_1}$, $D_{o1} \sim D_{on_n}$ のアノードとカソードの向きを変えることによって、負昇圧チャージポンプ型昇圧回路を実現できる。

【0041】また、この実施の形態1で使用したチャージポンプ型昇圧回路は非常に基本的な回路であって、しきい値電圧相殺型や相補型のチャージポンプ型昇圧回路等でも同様の効果を得ることができる。

【0042】この実施の形態1では昇圧用クロックが各自独立したクロックであったが、複数本まとめて同様の効果を得ることができる。ただし、その場合には、出力電圧を調整できる電圧の数が減ることになるが、調整する電圧が少なくなる分、クロックの削減およびクロック配線領域の削減することにより面積的に有利になる。

【0043】また、整流用ダイオード $D_{o1} \sim D_{on}$ を各ポンプブロック $1_1 \sim 1_n$ 毎に接続しているが、一部のポンプブロックのみに接続しても同様の効果を得ることができる。ただし、その場合も、出力電圧を調整できる電圧

の数が減ることになるが、調整する電圧が少なくなる分、整流用ダイオードを削減することができて面積的に有利になる。

【0044】(実施の形態2) 図2は、この実施の形態2に係る半導体昇圧回路、特にここではチャージポンプ型昇圧回路を示す回路図であって、図1に示した実施の形態1と対応する部分については同一の符号を付す。

【0045】この実施の形態2の特徴は、出力端子6に加わる出力電圧 V_{pp} を入力してその値を検出し、その検出した信号に基づいてクロック生成手段2を制御する電圧検出手段3が付加されていることである。

【0046】その他の構成は、図1に示した実施の形態1と同様であるから、ここでは詳しい説明は省略する。

【0047】以上のように構成された半導体昇圧回路の動作について説明する。

【0048】図2に示す回路においても、クロック生成手段2から昇圧用のクロック $C_{LK_1} \sim C_{LK_n}$ が全て出力されている通常の場合で、かつ、外部の電源電圧 V_{dd} が安定しているときには、実施形態1の場合と同様に、出力端子6で得られる出力電圧 V_{pp} は、最終的に $(n+1) \cdot (V_{dd} - V_d)$ となる。

【0049】また、昇圧用クロック $C_{LK_1} \sim C_{LK_n}$ の出力をクロック番号の大きな順から停止していくことで、出力電圧 V_{pp} の値として $(V_{dd} - V_d)$ の整数倍の出力を選択的に得ることができる点も実施の形態1の場合と同様である。

【0050】さらに、この実施の形態2では、次の点に特徴がある。

【0051】通常、外部の電源電圧 V_{dd} は、ノイズや負荷電流が流れることによる電圧降下などで常に変動していると考えられる。

【0052】ここで、図2の回路での通常動作による出力端子6からの最終的な出力電圧 V_{pp} は、 $(n+1) \cdot (V_{dd} - V_d)$ であるから、たとえば、 $V_d = 0.5 V$, $n = 6$ として、 $V_{dd} = 3 V$ のときは $V_{pp} = 17.5 V$ となり、また、 $V_{dd} = 3.5 V$ のときは $V_{pp} = 21 V$ となる。つまり、出力電圧 V_{pp} は、外部の電源電圧 V_{dd} の変動に応じて変動する。

【0053】そこで、電圧検出手段3により出力電圧 V_{pp} の電位を検出し、出力電圧 V_{pp} が所望の電圧より高い場合には、クロック番号の大きな昇圧用クロックから順次クロックの供給を止めていくようクロック生成手段2を制御する。このようにすれば、最終的な出力電圧 V_{pp} の電位は、次第に下降して所望の電圧に近づけることができる。

【0054】これとは逆に、出力電圧 V_{pp} が所望の電圧より低い場合には、現在供給を止めている昇圧用クロックのうちクロック番号の小さな昇圧ブロックから順次クロックの供給を開始していくようクロック生成手段2を制御する。このようにすれば、最終的な出力電圧 V_{pp} は

次第に上昇して所望の電圧に近づけることができる。

【0055】具体例として、出力端子6からの所望の出力電圧V_{pp}を17.5Vとしたとき、電源電圧V_{dd}が変動して3.5Vとなったときには、そのままで出力電圧V_{pp}は21Vになって高過ぎることになるので、これを電圧検出手段3により検出し、クロック生成手段2を制御して昇圧用クロックC_LK₆の供給を止めるよう制御する。すると、6段目のポンプブロック1₆の昇圧動作が停止し、5段分のポンプブロック1₁～1₅しか昇圧動作をしないので、出力電圧V_{pp}は18Vとなり、V_{dd}=3V時の所望の出力電圧17.5Vに近づけることができる。

【0056】以上のように、この実施の形態2によれば、昇圧用クロックC_LK₁～C_LK_nの供給制御によって、出力整流手段4で得られる1つの出力電圧V_{pp}のレベルを任意に設定することができ、このときには不要なクロック発生を完全に止めることができるので、低消費電力化を実現することができる。

【0057】また、この実施の形態2の特徴として、外部電源電圧V_{dd}が変動することにより出力電圧V_{pp}が変動した場合でも、電圧検出手段3によって出力電圧V_{pp}を検出し、クロック生成手段2による昇圧用クロックの供給を制御することにより、常に安定した出力電圧が得られるようになり、信頼性の面からも有利である。

【0058】なお、この実施の形態2では、各ポンプブロック1₁～1_nの構成素子としてダイオードD₁～D_nを使用し、また、出力整流手段4としてもダイオードD₁～D_nを使用したが、これらのダイオードに代えてMOSトランジスタを用いても同様の効果を得ることができる。また、正昇圧に関して説明したが、ダイオードD₁～D_n、D₀～D_nのアノードとカソードの向きを変えることによって、負昇圧チャージポンプ型昇圧回路を実現できる。

【0059】また、この実施の形態1で使用したチャージポンプ型昇圧回路は非常に基本的な回路であって、しきい値電圧相殺型や相補型のチャージポンプ型昇圧回路等でも同様の効果を得ることができる。

【0060】この実施の形態2では昇圧用クロックC_LK₁～C_LK_nが各々独立したクロックであったが、複数本まとめて同様の効果を得ることができる。ただし、その場合には、出力電圧を調整できる電圧の数が減ることにはなるが、調整する電圧が少なくなる分、クロックの削減およびクロック配線領域の削減することにより面積的に有利になる。

【0061】また、整流用ダイオードD₀～D_nを各ポンプブロック1₁～1_n毎に接続しているが、一部のポンプブロックのみに接続しても同様の効果を得ることができる。ただし、その場合も、出力電圧を調整できる電圧の数が減ることになるが、調整する電圧が少なくなる分、整流用ダイオードを削減することができて面積的に

有利になる。

【0062】(実施の形態3) 図3は、この実施の形態3に係る半導体昇圧回路、特にここではチャージポンプ型昇圧回路を示す回路図であり、図2に示した実施の形態2に対応する部分については同一の符号を付す。

【0063】この実施の形態3の特徴は、出力整流手段4の出力側に出力端子6が設けられていることに加えて、この出力整流手段4で得られる出力電圧V_{pp}を入力して、この出力電圧V_{pp}を予め決められた各々の電圧に降圧して安定化させる複数のレギュレータ回路5₁～5_mが並列に接続されていることである。

【0064】その他の構成は、図2に示した実施の形態2の場合と同様であるから、ここでは詳しい説明は省略する。

【0065】以上のように構成された半導体昇圧回路の動作について説明する。

【0066】図3に示す回路においても、図2に示した部分と同じ部分は実施の形態2の場合と同様の動作を行う。つまり、クロック生成手段2から昇圧用のクロックC_LK₁～C_LK_nが全て出力されている通常の場合で、かつ、外部の電源電圧V_{dd}が安定しているときには、実施形態2の場合と同様に、出力端子6で得られる出力電圧V_{pp}は、最終的に(n+1)・(V_{dd}-V_d)となる。

【0067】また、昇圧用クロックC_LK₁～C_LK_nの出力をクロック番号の大きな順から停止していくことで、出力電圧V_{pp}の値として(V_{dd}-V_d)の整数倍の出力を任意に得ることができる点も実施の形態2の場合と同様である。

【0068】さらに、電圧検出手段3によって出力電圧V_{pp}を検出し、その出力電圧V_{pp}の変動に応じてクロック生成手段2から出力される昇圧用の各クロックC_LK₁～C_LK_nの供給を制御して出力電圧V_{pp}を安定化させることができる点も実施の形態2の場合と同様である。

【0069】さらに、この実施の形態3では、次の点に特徴がある。

【0070】半導体装置として、外部の電源電圧V_{dd}以外の複数種類の電圧が同時に必要な場合がある。

【0071】そのような要求に応え得るように、出力整流手段4で得られる出力電圧V_{pp}を出力端子6からそのまま取り出せるだけでなく、出力電圧V_{pp}を各々のレギュレータ回路5₁～5_mで個別に降圧して必要な電圧V_{pp1}～V_{ppm}を供給する。なお、当然ながらV_{pp}≥V_{pp1}～V_{ppm}である。

【0072】以上のように、この実施の形態3によれば、昇圧用クロックC_LK₁～C_LK_nの供給操作により出力整流手段4で得られる1つの出力電圧V_{pp}のレベルを任意に設定することができ、このときには不要なクロック発生を完全に止めることができるので、低消費電力化を実現することができる。

【0073】また、外部電源電圧Vddが変動することにより出力電圧Vppが変動した場合でも、電圧検出手段3によって出力電圧Vppを検出し、クロック生成手段2による昇圧用クロックの供給を制御することにより、常に安定した出力電圧が得られるようになり、信頼性の面からも有利である。

【0074】また、出力整流手段4に並列接続された複数のレギュレータ回路5₁～5_mによって、出力整流手段4で得られる1つの出力電圧Vppから、これよりも低い複数の出力電圧Vpp₁～Vpp_mを同時に得ることができる。このため、同時に複数の昇圧電圧Vpp₁、Vpp₂～Vpp_mが必要な場合、従来のように、各々所望の昇圧電圧ごとに個別に昇圧回路を設ける必要がないため、面積的に有利になる。

【0075】なお、この実施の形態3では、各ポンプブロック1₁～1_nの構成素子としてダイオードD₁～D_nを使用し、また、出力整流手段4としてもダイオードD₀～D_{on}を使用したが、これらのダイオードに代えてMOSトランジスタを用いても同様の効果を得ることができる。また、正昇圧に関して説明したが、ダイオードD₁～D_n、D₀～D_{on}のアノードとカソードの向きを変えることによって、負昇圧チャージポンプ型昇圧回路を実現できる。

【0076】また、この実施の形態3で使用したチャージポンプ型昇圧回路は非常に基本的な回路であって、しきい値電圧相殺型や相補型のチャージポンプ型昇圧回路等でも同様の効果を得ることができる。

【0077】この実施の形態3では昇圧用クロックが各々独立したクロックであったが、複数本まとめて同様の効果を得ることができる。ただし、その場合には、出力電圧を調整できる電圧の数が減ることにはなるが、調整する電圧が少なくなる分、クロックの削減およびクロック配線領域の削減することにより面積的に有利になる。

【0078】また、整流用ダイオードD₀～D_{on}を各ポンプブロック1₁～1_n毎に接続しているが、一部のポンプブロックのみに接続しても同様の効果を得ることができる。ただし、その場合も、出力電圧を調整できる電圧の数が減ることになるが、調整する電圧が少なくなる

分、整流用ダイオードを削減することができて面積的に有利になる。

【0079】

【発明の効果】以上のように、本発明の半導体昇圧回路は、次の効果を奏する。

【0080】(1) 請求項1記載に係る発明では、昇圧用クロックを各々独立に供給制御を行える構成にしたことより、昇圧動作を行うポンプブロックの段数を調整できるので、1つのチャージポンプ型昇圧回路で複数の電圧を任意に出力することができる。

【0081】(2) 請求項2記載に係る発明では、電圧検出手段によって出力電圧を検出して、出力電圧による昇圧用クロックの供給を調整するので、電源電圧の変動しても、出力電圧を常に安定化させることができ、信頼性が高くなる。

【0082】(3) 請求項1または請求項2の構成において、供給を止めている昇圧用クロックがあれば不要なクロック発生を完全に止めることができるので消費電力を低減することができる。

【0083】(4) 請求項3記載に係る発明では、複数のレギュレータ回路により、出力整流手段の出力電圧Vppよりも低い複数の出力電圧を同時に出力することができるため、複数の昇圧電圧が必要な場合でも昇圧回路が一つですむので、面積的に有利になる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係る半導体昇圧回路の回路図

【図2】本発明の実施の形態2に係る半導体昇圧回路の回路図

【図3】本発明の実施の形態3に係る半導体昇圧回路の回路図

【図4】従来の半導体昇圧回路の回路図

【符号の説明】

1₁～1_n…ポンプブロック

2…クロック生成手段

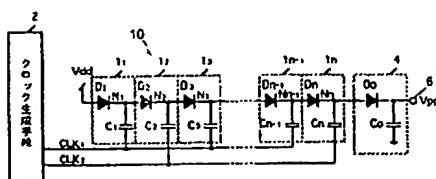
3…電圧検出手段

4…電力整流手段

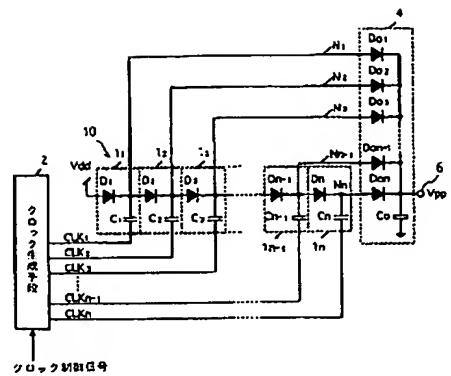
5₁～5_m…レギュレータ回路

10…チャージポンプ手段

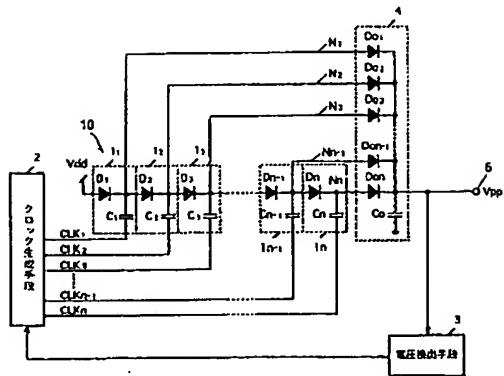
【図4】



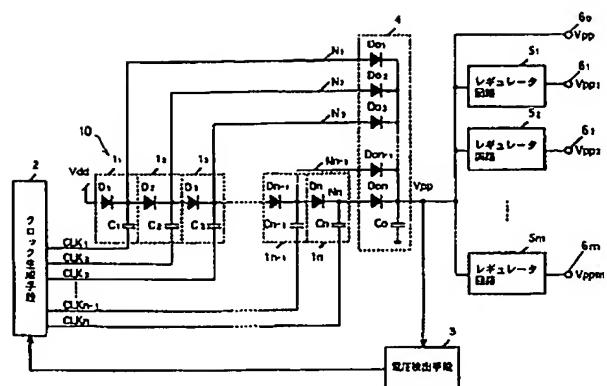
[図1]



[図2]



【図3】



フロントページの続き

(72)発明者 渕上 郁雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 木村 智生
大阪府門真市大字門真1006番地 松下電器
産業株式会社内